

- Docket No.: 67161-079

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
:
Tetsushi TANIZAKI : Confirmation Number:
:
Serial No.: : Group Art Unit:
:
Filed: August 28, 2003 : Examiner:
:
For: SEMICONDUCTOR MEMORY DEVICE PERMITTING BOUNDARY SCAN TEST

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

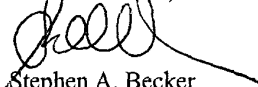
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. JP2003-069416, filed on March 14, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:gav
Facsimile: (202) 756-8087
Date: August 28, 2003

67161-079

Tetsushi TANIZAKI,

August 28, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 3月14日

出 願 番 号

Application Number:

特願2003-069416

[ST.10/C]:

[JP2003-069416]

出 願 人

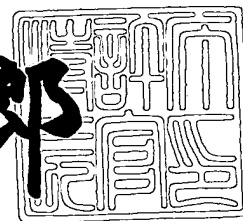
Applicant(s):

三菱電機株式会社

2003年 4月11日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3025347

【書類名】 特許願
【整理番号】 542276JP01
【提出日】 平成15年 3月14日
【あて先】 特許庁長官殿
【国際特許分類】 G11C 11/34
G01R 31/28
H01L 27/04

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 谷▲崎▼ 哲志

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置

【特許請求の範囲】

・ 【請求項 1】 ロジックとメモリとが混載され、レイトライト動作とバウンダリスキャンテスト動作とを選択的に実行する半導体記憶装置であって、

ライトデータを受ける端子と、

前記端子に対応して設けられた入力バッファと、

前記端子に対応して設けられ、前記バウンダリスキャンテスト時にはバウンダリスキャンテストデータを、前記レイトライト時には前記端子から与えられる前記メモリへのライトデータをライト制御信号の非活性化に応じて保持する第 1 のレジスタを含むバウンダリスキャンセルと、

前記入力バッファの出力と前記バウンダリスキャンセルの出力とを受け、前記レイトライト動作時に前記バウンダリスキャンセルの出力を選択する第 1 のセレクトタと、

前記セレクトタにより選択された出力を前記メモリに書込む為の書込みドライバとを備えた半導体記憶装置。

【請求項 2】 前記バウンダリスキャンセルは、

前記バウンダリスキャンテストデータと前記入力バッファの出力とを受け、前記第 1 のレジスタは、前記レイトライト動作時には前記入力バッファからの出力を保持する請求項 1 記載の半導体記憶装置。

【請求項 3】 前記入力バッファは、

アーリーライト動作時には、前記端子より入力されるライトデータをライト制御信号の活性化に応じて保持し、前記レイトライト動作時には、前記ライトデータをスルーで出力するラッチ回路を含む請求項 2 記載の半導体記憶装置。

【請求項 4】 前記半導体記憶装置は、さらに、

前記アーリーライト動作時には、前記ライト制御信号のパルスの前縁に基づいて、ワンショットパルスのライトデータ取込み信号を生成し、前記レイトライト動作時には、前記ライト制御信号のパルスの後縁に基づいて、ワンショットパルスのライトデータ取りこみ信号を生成する制御回路を含み、

前記バウンダリスキャンセルは、さらに、

前記入力バッファの出力と、前記端子からの入力と、前段のバウンダリスキャンセルの出力とを受け、前記バウンダリスキャンテストのシフト動作時には、前記前段のバウンダリスキャンセルの出力を出力し、前記レイトライト動作時には、前記入力バッファの出力を出力し、前記シフト動作時および前記レイトライト動作時以外には、前記対応する端子からの入力を出力する第2のセレクタと、

レイトライト動作時には、前記ライトデータ取込み信号を出力し、バウンダリスキャンテストのキャプチャおよびシフト動作時には、バウンダリスキャンテストのキャプチャおよびシフト用のクロック信号を出力する論理ゲートとを含み、

前記第1のレジスタは、前記論理ゲートの出力にしたがって、前記第2のセレクタの出力をラッチし、次段のバウンダリスキャンセル、および前記第1のセレクタへ出力し、

前記第1のセレクタは、前記アーリーライト動作時には、前記入力バッファの出力を出力し、前記レイトライト動作時には、前記バウンダリスキャンセルの出力を出力する、請求項3記載の半導体記憶装置。

【請求項5】 前記半導体記憶装置は、さらに、

前記アーリーライト動作時には、前記ライト制御信号のパルスの前縁に基づいて、ワンショットパルスのライトデータ取込み信号を生成し、前記レイトライト動作時には、前記ライト制御信号のパルスの後縁に基づいて、ワンショットパルスのライトデータ取込み信号を生成する制御回路を含み、

前記バウンダリスキャンセルは、さらに、

前記端子からの入力と、前段のバウンダリスキャンセルの出力とを受け、前記バウンダリスキャンテストのシフト動作時には、前記前段のバウンダリスキャンセルの出力を出力し、前記シフト動作時以外には、前記端子からの入力を出力する第2のセレクタと、

前記バウンダリスキャンテストのキャプチャおよびシフト用のクロック信号にしたがって、前記第2のセレクタの出力をラッチし、次段のバウンダリスキャンセルへ出力する第2のレジスタと、

前記入力バッファの出力と、前記第2のレジスタの出力とを受け、前記レイト

ライト動作時には、前記入力バッファの出力を出力し、前記レイトライト動作時以外には、前記第 2 のレジスタの出力を出力する第 3 のセクタと、

・レイトライト動作時には、前記ライトデータ取込み信号を出力し、バウンダリスキャンテストのアップデート動作時には、バウンダリスキャンテストのアップデート用のクロック信号を出力する論理ゲートとを含み、

前記第 1 のレジスタは、前記論理ゲートの出力にしたがって、前記第 3 のセクタの出力をラッチし、前記第 1 のセクタへ出力し、

前記第 1 のセクタは、前記アーリーライト動作時には、前記入力バッファの出力を出力し、前記レイトライト動作時には、前記バウンダリスキャンセルの出力を出力する、請求項 3 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、ロジックと同一基板上に混載され、高速なランダムサイクルのライト動作と、バウンダリスキャンテスト動作とを選択的に実行する半導体記憶装置に関する。

【0002】

【従来の技術】

半導体記憶装置では、入力されたデータをコア回路へ書込みまでに多くの動作ステップが存在するため、処理時間が長くなり、高速なサイクルで書込みができないという問題がある。

【0003】

この問題に対処する方法として、たとえば、特許文献 1 では、レイトライト動作において、高速なランダムサイクルのライト動作を可能としている。レイトライト動作とは、制御信号の立上がりに応じて書込み動作が開始されるような書込み動作である。特許文献 1 では、レイトライト動作時に、あるデータとそのデータに対する書込み命令が入力されたときに、そのデータをコア回路のメモリセルに書込むことなく、内部バッファに一旦保持する。その後、次のデータに対する書込み命令が入力されたときに初めて、内部バッファに保持しているデータをコ

ア回路のメモリセルに書込む。後の書込み命令に対応するデータは、データバッファに格納され、次の書込み命令が入力されるまでデータバッファに残る。

【0004】

一方、ライト制御信号の立下りに応じて書込み動作が開始されるような書込み動作をアーリーライト動作という。

【0005】

ところで、半導体記憶装置を1つの回路ブロック（集積回路装置）として、この回路ブロック（集積回路装置）と、ロジック機能を有する回路ブロック（集積回路装置）と同一基板上に混載するシステムLSI（Large Scale Integrated circuit）が種々提案されている。このようなシステムLSIは、携帯機器などの用途において広く用いられている。

【0006】

実装基板レベルでのテストに関しては、IEEEで標準化（IEEE Std . 1149. 1）されているバウンダリスキャンテスト（JTAG（ジョイント・テスト・アクション・グループ）テスト）がある。このバウンダリスキャンテストは、集積回路装置のすべての外部入出力ピン端子を順次走査してバウンダリスキャンテストデータの入出力を行ない、この集積回路装置の内部機能および実装されている基板のテストを行なう方法である。JTAGテストでは、各入出力ピン端子に対応してシフトレジスタを配置し、このシフトレジスタを介してバウンダリスキャンテストデータをシリアルに転送し、集積回路装置間の接続、集積回路装置ピン端子と基板との接続などのテストが行なわれる。

【0007】

【特許文献1】

特開2001-243798号公報

【0008】

【発明が解決しようとする課題】

しかしながら、上述のように、高速なランダムサイクルのライト動作、およびバウンダリスキャンテスト動作の機能を備えた半導体記憶装置では、以下の問題がある。

【 0 0 0 9 】

まず、高速なランダムサイクルのライト動作を行なうためには、次サイクルまでデータを保持するバッファをデータ入力端子の数だけ備えなければならない。特に、システム L S I に搭載される半導体記憶装置では、このデータ入力端子数が膨大になる。

【 0 0 1 0 】

また、バウンダリスキャンテスト機能も備えるとなると、さらに入出力端子数だけシフトレジスタが必要となる。

【 0 0 1 1 】

したがって、高速なランダムサイクルのライト動作のためのバッファ、およびバウンダリスキャンテストのためのシフトレジスタを備える半導体記憶装置は、回路面積が膨大なものになってしまう。

【 0 0 1 2 】

そこで、本発明は、回路面積を大きくすることなく、高速なランダムサイクルのライト動作とバウンダリスキャンテスト動作とを選択的に実行する半導体記憶装置を提供することを目的とする。

【 0 0 1 3 】

【課題を解決するための手段】

上記課題を解決するために、この発明に係わる半導体記憶装置は、ロジックとメモリとが混載され、レイトライト動作とバウンダリスキャンテスト動作とを選択的に実行する半導体記憶装置であって、ライトデータを受ける端子と、端子に対応して設けられた入力バッファと、端子に対応して設けられ、バウンダリスキャンテスト時にはバウンダリスキャンテストデータを、レイトライト動作時には端子から与えられるメモリへのライトデータをライト制御信号の非活性化に応じて保持する第 1 のレジスタを含むバウンダリスキャンセルと、入力バッファの出力とバウンダリスキャンセルの出力を受け、レイトライト動作時にバウンダリスキャンセルの出力を選択する第 1 のセクタと、セクタにより選択された出力をメモリに書込む為の書込みドライバとを備える。

【 0 0 1 4 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を用いて説明する。

【0015】

＜第1の実施形態＞

（構成）

図1は、第1の実施形態に係るシステムLSIの構成を示す。同図を参照して、このシステムLSIは、ロジック部11とメモリア10とを含む。

【0016】

ロジック部11と、メモリア10とは、簡易な制御が可能なSRAM（スタティック・ランダム・アクセス・メモリ）インタフェースで接続される。すなわち、SRAMインタフェースによって、メモリア10には、アドレス信号がマルチプレックスせずにロウアドレスとコラムアドレスとが別個に入力されるとともに、ライトまたはリード制御信号が直接入力される。

【0017】

ロジック部11は、コア・ロジック13と、複数のバウンダリスキャンセル12とを含む。

【0018】

（コア・ロジック13）

コア・ロジック13は、所定の処理を行なうものであり、ライト制御信号/W、ライトデータを出力する。

【0019】

アーリーライト動作時には、ライト制御信号/Wの立下りに対してセットアップ $t_{su}(D)$ 、およびホールド $t_h(D)$ で規定されるタイミングを満足するように、ライトデータが出力される。

【0020】

一方、レイトライト動作時には、ライト制御信号/Wの立上がりに対してセットアップ $t_{su}(D)$ 、およびホールド $t_h(D)$ で規定されるタイミングを満足するように、ライトデータが出力される。

【0021】

(バウンダリスキャンセル 1 2)

バウンダリスキャンセル 1 2 は、シリアルに接続されて、コアロジックのスキューチェーンを構成する。

【 0 0 2 2 】

バウンダリスキャンセル 1 2 は、ライト制御信号 / W をスルーで出力し、ライト動作時には、ライトデータをスルーで出力し、バウンダリスキャンテスト時には、保持しているデータを出力する。

【 0 0 2 3 】

メモリコア 1 0 は、半導体記憶装置であって、複数のバウンダリスキャンセル 1 と、複数の入力バッファ 2 と、複数のライトドライバ 3 と、複数のマルチプレクサ 4 と、DRAMセルアレイ 2 5 と、入力バッファ 6 と、バウンダリスキャンセル 5 と、テストコントローラ 2 0 0 と、読出し / 書込み制御回路 1 0 0 とを含む。図 1 に示すように、テストコントローラ 2 0 0、読出し / 書込み制御回路 1 0 0、およびライトコントローラ 7 は、制御回路 3 0 0 を構成する。

【 0 0 2 4 】

(DRAMセルアレイ 2 5)

DRAMセルアレイ 2 5 には、行列上に DRAM (ダイナミック・ランダム・アクセス・メモリ) セルが配列される。各 DRAMセルは、記憶素子としてキャパシタを用い、SRAMセルに比べて占有する面積が小さい。

【 0 0 2 5 】

(テストコントローラ 2 0 0)

テストコントローラ 2 0 0 は、JTAGテストに対応したコントローラであり、バウンダリスキャンテストに必要な制御信号を生成する。

【 0 0 2 6 】

すなわち、テストコントローラ 2 0 0 は、図示しない外部からの制御信号に基づいて、シフト動作モード指示信号 S h i f t D R、および転送クロック信号 C l o c k D R を生成する。シフト動作モード指示信号 S h i f t D R は、バウンダリスキャンテストのシフト動作時に「H」レベルとなり、転送クロック信号 C l o c k D R は、バウンダリスキャンテストのシフト動作時、およびキャプチャ

時に、一定の周期で、アサート（「H」レベル）になる。

【0027】

（読出し／書込み制御回路100）

読出し／書込み制御回路100は、メモリセルへのデータの書込みおよび読出しに際して、メモリコア10内の各回路の制御を行なう。読出し／書込み制御回路100は、ライト動作モード選択信号DLYWTを生成する。読出し／書込み制御回路100は、アーリーライト動作時には、ライト動作モード選択信号DLYWTを「L」レベルに、レイトライト動作時には、ライト動作モード選択信号DLYWTを「H」レベルに設定する。

【0028】

（入力バッファ6）

入力バッファ6は、図示しない遅延回路を含み、入力ポート22から入力されるライト制御信号／Wを所定時間 Δt_1 だけ遅延させた遅延ライト制御信号を出力する。

【0029】

（ライトコントローラ7）

ライトコントローラ7は、入力バッファ6から出力される遅延ライト制御信号に基づいて、ライトデータ取込み信号／WTDILおよびライトドライバ制御信号WTEを生成する。すなわち、ライトコントローラ7は、遅延ライト制御信号の立下りに同期して、ワンショットパルス（「H」レベル）のライトドライバ制御信号WTEを生成し、アーリーライト動作時には、遅延ライト制御信号の立下りに同期して、レイトライト動作時には、遅延ライト制御信号の立上がり同期して、ワンショットパルス（「L」レベル）のライトデータ取込み信号／WTDILを生成する。

【0030】

（バウンダリスキャンセル5）

バウンダリスキャンセル5は、ライト制御制御／Wに対応して設けられ、従来のバウンダリスキャンセルと同一である。バウンダリスキャンセル5およびバウンダリスキャンセル1は、シリアルに接続される。バウンダリスキャンテストの

シフト動作時には各バウンダリスキャンセルからバウンダリスキャンテストデータがシフトアウト信号 *Shift out* として出力され、次段のバウンダリスキャンセルにシフトイン信号 *Shift in* として入力される。

【0031】

図2は、バウンダリスキャンセル5の詳細な構成を示す。同図を参照して、マルチプレクサ71には、入力ポート22からの入力信号/Wと、前段のバウンダリスキャンセル1からのシフトイン信号 *Shift in* とが入力される。

【0032】

バウンダリスキャンテストのキャプチャ動作時には、テストコントローラ200から与えられるシフト動作モード選択信号 *Shift DR* は「L」で、マルチプレクサ71は、入力信号/Wとして与えられるバウンダリスキャンテストデータ（つまり、テスト時の入力ポート22の状態を示すデータ）を選択して出力する。

【0033】

バウンダリスキャンテストのシフト動作時には、シフト動作モード指示信号 *Shift DR* が「H」となり、マルチプレクサ71は、シフトイン信号 *Shift in* （つまり、前段のバウンダリスキャンセルから送られてきたバウンダリスキャンテストデータ）を選択して出力する。

【0034】

フリップフロップ72は、バウンダリスキャンテストのキャプチャ動作時には、テストコントローラ200から与えられる転送クロック信号 *Clock DR* にしたがって、入力信号/Wとして与えられたバウンダリスキャンテストデータをラッチする。

【0035】

また、フリップフロップ72は、バウンダリスキャンテストのシフト動作時には、転送クロック信号 *Clock DR* にしたがって、前段のバウンダリスキャンセルから出力されたシフトイン信号 *Shift in* （つまり、前段のバウンダリスキャンセルから送られたバウンダリスキャンテストデータ）をラッチし、シフトアウト信号 *Shift out* を出力する。このシフトアウト信号 *Shift*

t out は、次段のバウンダリスキャンセルにシフトイン信号 Shift in として入力される。

【0036】

・（入力バッファ2）

図3は、入力バッファ2の詳細な構成を示す。同図を参照して、入力バッファ2には、入力ポート22から入力信号 Din が入力される。遅延回路90は、入力信号 Din を Δt_2 だけ遅延させる。ライト動作時には、ライトデータ取込み信号 / WTDIL が「L」となる。

【0037】

アーリーライト動作時には、ライト動作モード選択信号 DLYWT が「L」となる。このときには、ライトデータ取込み信号 / WTDIL が「H」レベルのときには、トランスファゲート TG10 は、導通し、トランスファゲート TG11 は、導通しない。一方、ライトデータ取込み信号 / WTDIL が「L」レベルのときには、トランスファゲート TG10 は、導通せず、トランスファゲート TG11 は、導通する。

【0038】

つまり、アーリーライト動作時には、入力信号 Din は、 Δt_2 だけ遅延させられた後、ライトデータ取込み信号 / WTDIL が「H」レベルの間に、トランスファゲート TG10 を通過し、ラッチ回路81でラッチされ、ライトデータ取込み信号 / WTDIL が「L」レベルになると、トランスファゲート TG11 を通過し、ラッチ回路82でラッチされるとともに、バッファ出力信号 OutBuf として出力される。

【0039】

一方、レイトライト動作時には、ライト動作モード選択信号 DLYWT が「H」となる。このときには、ライトデータ取込み信号 / WTDIL のレベルにかかわらず、トランスファゲート TG10 および TG11 は、いずれも導通する。つまり、レイトライト動作時には、入力信号 Din は、 Δt_2 だけ遅延させられた後、そのままスルーでバッファ出力信号 OutBuf として出力される。

【0040】

(バウンダリスキャンセル 1)

図 4 は、バウンダリスキャンセル 1 の詳細な構成を示す。同図を参照して、マルチプレクサ 5 1 には、入力ポート 2 2 からの入力信号 *D i n* と、入力バッファ 2 からのバッファ出力信号 *O u t B u f* と、前段のバウンダリスキャンセル 1 からのシフトイン信号 *S h i f t i n* (つまり、前段のバウンダリスキャンセルから送られたバウンダリスキャンテストデータ) とが入力される。

【 0 0 4 1 】

アーリーライト動作時には、ライト動作モード選択信号 *D L Y W T* が「L」となり、マルチプレクサ 5 1 は、入力信号 *D i n* として与えられるライトデータを選択して出力する。

【 0 0 4 2 】

レイトライト動作時には、ライト動作モード選択信号 *D L Y W T* が「H」となり、マルチプレクサ 5 1 は、バッファ出力信号 *O u t B u f* を選択して出力する。

【 0 0 4 3 】

バウンダリスキャンテストのキャプチャ動作時には、シフト動作モード指示信号 *S h i f t D R* が「L」なので、マルチプレクサ 5 1 は、入力信号 *D i n* として与えられるバウンダリスキャンテストデータを選択して出力する。

【 0 0 4 4 】

バウンダリスキャンテストのシフト動作時には、シフト動作モード指示信号 *S h i f t D R* が「H」となり、マルチプレクサ 5 1 は、シフトイン信号 *S h i f t i n* (つまり、前段のバウンダリスキャンセルから送られたバウンダリスキャンテストデータ) を選択して出力する。

【 0 0 4 5 】

ANDゲート 5 4 は、ライトデータ取込み信号 $\neg W T D I L$ の反転信号と、ライト動作モード選択信号 *D L Y W T* が入力される。ANDゲート 5 4 は、レイトライト動作時 (つまり、*D L Y W T* = 「H」レベルのとき) に、ライトデータ取込み信号 $\neg W T D I L$ を反転した信号を出力する。ANDゲート 5 4 は、アーリーライト動作時 (つまり、*D L Y W T* = 「L」レベルのとき) に、常に「L」レ

ベルの信号を出力する。

【0046】

．ORゲート52は、バウンダリスキャンテストの転送クロック信号Clock DRと、ANDゲート54の出力信号とが入力され、その出力をフリップフロップ53に与える。

【0047】

ANDゲート54およびORゲート52により、レイトライト動作時には、ライトデータ取込み信号／WTDILを反転した信号が出力され、アーリーライト動作時には、常に、「L」レベルの信号が出力され、バウンダリスキャンテストのキャプチャおよびシフト動作時には、転送クロック信号Clock DRが出力される。

【0048】

フリップフロップ53は、従来のバウンダリスキャンセルに含まれる1ビットのシフトレジスタである。フリップフロップ53は、ORゲート52から出力される信号にしたがって、マルチプレクサ51から出力される信号をラッチし、出力信号を出力する。

【0049】

すなわち、フリップフロップ53は、レイトライト動作時には、ライトデータ取込み信号／WTDILにしたがって、バッファ出力信号Out Bufをラッチし、スキャンセル出力信号Out Scanを出力する。

【0050】

また、フリップフロップ53は、バウンダリスキャンテストのキャプチャ動作時には、転送クロック信号Clock DRにしたがって、入力信号Dinとして与えられたバウンダリスキャンテストデータをラッチし、このバウンダリスキャンテストデータをシフトアウト信号Shift outとして出力する。このシフトアウト信号Shift outは、次段のバウンダリスキャンセルにシフトイン信号Shift inとして入力される。

【0051】

また、フリップフロップ53は、バウンダリスキャンテストのシフト動作時に

は、転送クロック信号ClockDRにしたがって、前段のバウンダリスキャンセルから出力されたシフトイン信号Shift in（つまり、前段のバウンダリスキャンセルから送られたバウンダリスキャンテストデータ）をラッチし、シフトアウト信号Shift outを出力する。このシフトアウト信号Shift outは、次段のバウンダリスキャンセルにシフトイン信号Shift inとして入力される。

【0052】

図4において、点線（1）～（3）で示される部分が従来のバウンダリスキャンセルから追加されたところである。図4に示すように、本実施の形態のバウンダリスキャンセルは、従来のバウンダリスキャンセルにANDゲート54とORゲート52からなる複合ゲートを追加し、従来のバウンダリスキャンセル内の2入力マルチプレクサを3入力マルチプレクサに変更するだけで構成されるので、本実施の形態のバウンダリスキャンセルの回路面積は、従来のバウンダリスキャンセルの回路面積と比べて、増加する面積は小さいといえる。

【0053】

（マルチプレクサ4）

図5は、マルチプレクサ4の入出力信号を示す図である。同図に示すように、マルチプレクサ4には、入力バッファ2からのバッファ出力信号OutBufと、バウンダリスキャンセル1からのスキャンセル出力信号OutScanが入力される。

【0054】

アーリーライト動作時には、ライト動作モード選択信号DLYWTが「L」となり、マルチプレクサ4は、バッファ出力信号OutBufを選択して出力する。レイトライト動作時には、ライト動作モード選択信号が「H」となり、マルチプレクサ4は、スキャンセル出力信号OutScanを選択して出力する。

【0055】

（ライトドライバ3）

ライトドライバ3は、マルチプレクサ4から出力されたバッファ出力信号OutBuf、またはスキャンセル出力信号OutScanを、ライトドライバ制御

信号WTEのアサート（「H」レベル）のタイミングで、DRAMセルアレイ25内の所定のメモリセルに書込む。

【0056】

（レイトライト動作時の動作）

次に、図6に示すタイミングチャートを参照して、レイトライト動作時の動作について説明する。

【0057】

レイトライト動作時には、ライト制御信号/Wの立上がりに対してセットアップ $t_{su}(D)$ 、およびホールド $t_h(D)$ で規定されるタイミングを満足するように、ライトデータDATA(n)が入力される（図6の（1）に示す）。

【0058】

入力バッファ6は、入力されるライト制御信号/Wを所定時間 Δt_1 だけ遅延させた遅延ライト制御信号を出力する。ライトコントローラ7は、遅延ライト制御信号の立上がり同期して、ワンショットパルス（「L」レベル）のライトデータ取込み信号/WTDILを生成する（図6の（2）に示す）。

【0059】

入力バッファ2では、ライト動作モード選択信号DLYWTが「H」により、入力信号Dinとして入力されたライトデータDATA(n)は、所定時間 Δt_2 だけ遅延させられた後、そのままスルーでバッファ出力信号OutBufとして出力される。

【0060】

バウンダリスキャンセル1内のマルチプレクサ51は、シフト動作モード指示信号ShiftDRが「L」であり、かつライト動作モード選択信号DLYWTが「H」により、バッファ出力信号OutBufを選択して出力する。フリップフロップ53は、ライトデータ取込み信号/WTDILにしたがって、マルチプレクサ51から出力されたバッファ出力信号OutBufをラッチし、スキャンセル出力信号OutScanを出力する。ここで、フリップフロップ53は、ライトデータ取込み信号/WTDILがアサート（「L」レベル）になってから、ライトデータ取込み信号/WTDILが次にアサート（「L」レベル）になるま

で、バッファ出力信号 $Out Buf$ を保持する。つまり、フリップフロップ 53 は、入力ポート 22 より入力されたライトデータを次の書込みサイクルまで保持する。マルチプレクサ 4 は、ライト動作モード選択信号 $DLYWT$ が「H」により、スキャンセル出力信号 $Out Scan$ を選択して出力する（図 6 の（3）に示す）。

【0061】

ライトコントローラ 7 は、遅延ライト制御信号の立下りに同期して、ワンショットパルス（「H」レベル）のライトドライバ制御信号 WTE を生成する（図 6 の（4）に示す）。

【0062】

ライトドライバ 3 は、マルチプレクサ 4 から出力されるスキャンセル出力信号 $Out Scan$ を、ライトドライバ制御信号 WTE のアサート（Hレベル）のタイミングで、DRAMセルアレイ 25 内の所定のメモリセルに書込む（図 6 の（5）に示す）。

【0063】

（アーリーライト動作時の動作）

次に、図 7 に示すタイミングチャートを参照して、アーリーライト動作時の動作について説明する。

【0064】

アーリーライト動作時には、ライト制御信号 $/W$ の立下がりに対してセットアップ $t_{su}(D)$ 、およびホールド $t_{th}(D)$ で規定されるタイミングを満足するように、ライトデータ $DATA(n)$ が入力される（図 7 の（1）に示す）。

【0065】

入力バッファ 6 は、入力されるライト制御信号 $/W$ を所定時間 Δt_1 だけ遅延させた遅延ライト制御信号を出力する。ライトコントローラ 7 は、遅延ライト制御信号の立下がり同期して、ワンショットパルス（「L」レベル）のライトデータ取込み信号 $WTDIL$ を生成する（図 7 の（2）に示す）。

【0066】

入力バッファ 2 では、ライト動作モード選択信号 $DLYWT$ が「L」により、

入力信号 D_{in} として入力されたライトデータ $DATA(n)$ は、所定時間 Δt_2 だけ遅延させられた後、ライトデータ取込み信号 $WTDIL$ が「H」レベルの間に、トランスファゲート $TG10$ を通って、ラッチ回路 81 でラッチされ、ライトデータ取込み信号 $WTDIL$ が「L」レベルになると、トランスファゲート $TG11$ を通り、ラッチ回路 82 でラッチされるとともに、バッファ出力信号 $OutBuf$ として出力される。マルチプレクサ 4 は、ライト動作モード選択信号 $DLYWT$ が「L」により、バッファ出力信号 $OutBuf$ を選択して出力する（図 7 の（3）に示す）。

【0067】

ライトコントローラ 7 は、遅延ライト制御信号の立下りに同期して、ワンショットパルス（「H」レベル）のライトドライバ制御信号 WTE を生成する（図 7 の（4）に示す）。

【0068】

ライトドライバ 3 は、マルチプレクサ 4 から出力される入力バッファ出力信号 $OutBuf$ を、ライトドライバ制御信号 WTE のアサート（Hレベル）のタイミングで、DRAMセルアレイ 25 内の所定のメモリセルに書込む（図 7 の（5）に示す）。

【0069】

（バウンダリスキャンテスト動作）

次に、バウンダリスキャンテスト時の動作について説明する。

【0070】

バウンダリスキャンテストのキャプチャ動作時には、バウンダリスキャンセル 1 内のマルチプレクサ 51 は、入力信号 D_{in} として入力されたバウンダリスキャンテストデータを選択して出力する。フリップフロップ 53 は、転送クロック信号 $Clock_{DR}$ にしたがって、マルチプレクサ 51 から出力された入力信号 D_{in} をラッチし、シフトアウト信号 $Shift_{out}$ を出力する。

【0071】

バウンダリスキャンテストのシフト動作時には、バウンダリスキャンセル 1 内のマルチプレクサ 51 は、シフトイン信号 $Shift_{in}$ を選択して出力する

。フリップフロップ53は、転送クロック信号ClockDRにしたがって、マルチプレクサ51から出力されたシフトイン信号Shift inをラッチし、シフトアウト信号Shift outを出力する。

【0072】

以上のように、本実施の形態に係るメモリコアは、通常のメモリコアに、バウンダリスキャンセル1、5と、マルチプレクサ4と、テストコントローラ200を追加するだけで、高速なランダムサイクルのライト動作が可能なレイトライト動作と、アーリーライト動作と、バウンダリスキャンテスト動作を行なうことができ、回路面積が大きくなるようにすることができる。

【0073】

<第2の実施形態>

本実施の形態は、第1の実施形態のバウンダリスキャンセルとは、異なる型のバウンダリスキャンセルを備えたメモリコアにおいて、レイトライト動作時に、ライトデータを保持する構成に関する。

【0074】

(構成)

図8は、第2の実施形態に係るシステムLSIの構成を示す。同図を参照して、第2の実施形態のメモリコア20は、第1の実施形態とは別のバウンダリスキャンセル15と、テストコントローラ201を含み、第1の実施形態には含まれないマルチプレクサ9と、出力バッファ8を含む点において、第1の実施形態のメモリコア10と相違する。図8に示すように、テストコントローラ201、読出し／書込み制御回路100、およびライトコントローラ7は、制御回路301を構成する。以下、上記相違点について説明する。

【0075】

(テストコントローラ201)

テストコントローラ201は、第1の実施の形態に係るテストコントローラ200と同様に、図示しない外部からの制御信号に基づいて、シフト動作モード指示信号ShiftDR、および転送クロック信号ClockDRを生成する。テストコントローラ201は、さらに、図示しない外部からの制御信号に基づいて

、アップデート動作モード指示信号PRELOAD、およびアップデートクロック信号UpdateDRを生成する。アップデート動作モード指示信号PRELOADは、バウンダリスキャンテストのアップデート動作時に「H」レベルとなり、アップデートクロック信号UpdateDRは、バウンダリスキャンテストのアップデート動作時に、一定の周期で、アサート（「H」レベル）になる。

【0076】

（バウンダリスキャンセル15）

バウンダリスキャンセル15は、バウンダリスキャンテストのキャプチャ動作およびシフト動作に加えて、アップデート動作にも対応したものである。

【0077】

図9は、バウンダリスキャンセル15の詳細な構成を示す。同図を参照して、マルチプレクサ61には、入力ポート22からの入力信号Dinと、前段のバウンダリスキャンセル1からのシフトイン信号Shift in（つまり、前段のバウンダリスキャンセルから送られたバウンダリスキャンテストデータ）とが入力される。

【0078】

バウンダリスキャンテストのシフト動作時には、シフト動作モード指示信号ShiftDRが「H」となり、マルチプレクサ61は、シフトイン信号Shift inを選択して出力する。

【0079】

バウンダリスキャンテストのシフト動作時以外のときには、マルチプレクサ61は、入力信号Dinを選択して出力する。

【0080】

フリップフロップ63は、従来のバウンダリスキャンセルに含まれる1ビットのシフトレジスタである。フリップフロップ63は、転送クロック信号ClockDRにしたがって、マルチプレクサ61から出力される入力信号Dinとして与えられたバウンダリスキャンテストデータ（つまり、テスト時の入力ポート22の状態を示すデータ）、またはシフトイン信号Shift in（つまり、前

段のバウンダリスキャンセルから送られたバウンダリスキャンテストデータ)をラッチし、これをシフトアウト信号Shift outとして出力する。このシフトアウト信号Shift outは、次段のバウンダリスキャンセルにシフトイン信号Shift inとして入力される。

【0081】

マルチプレクサ64には、入力バッファ2からのバッファ出力信号Out Bufと、フリップフロップ63からのシフトアウト信号Shift outとが入力される。

【0082】

レイトライト動作時には、ライト動作モード選択信号DLYWTが「H」となり、マルチプレクサ64は、バッファ出力信号Out Bufを選択して出力する。

【0083】

ANDゲート66は、ライトデータ取込み信号/WTDILの反転信号と、レイト動作モード選択信号DLYWTが入力される。ANDゲート66は、レイトライト動作時(つまり、DLYWT=「H」レベルのとき)に、ライトデータ取込み信号/WTDILを反転した信号を出力する。ANDゲート66は、アーリーライト動作時(つまり、DLYWT=「L」レベルのとき)に、常に「L」レベルの信号を出力する。

ORゲート62は、バウンダリスキャンテストのアップデートクロック信号UpdateDRと、ANDゲート66の出力信号とが入力され、その出力をフリップフロップ65に与える。

【0084】

ANDゲート66およびORゲート62により、レイトライト動作時には、ライトデータ取込み信号/WTDILを反転した信号が出力され、アーリーライト動作時には、常に「L」レベルの信号が出力され、バウンダリスキャンテストのアップデート動作時には、アップデートクロック信号UpdateDRが出力される。

【0085】

フリップフロップ65は、従来のバウンダリスキャンセルに含まれるアップデータレジスタである。フリップフロップ65は、ANDゲート66とORゲート62からなる複合ゲートから出力される信号にしたがって、マルチプレクサ64から出力される信号をラッチし、出力信号を出力する。

【0086】

すなわち、フリップフロップ65は、レイトライト動作時には、ライトデータ取込み信号/WTDILにしたがって、バッファ出力信号OutBufをラッチし、スキャンセル出力信号OutScanを出力する。

【0087】

また、フリップフロップ65は、バウンダリスキャンテストのアップデート動作時には、アップデートクロック信号UpdateDRのアサートにしたがって、フリップフロップ63から出力されるシフトアウト信号ShiftOutをラッチし、スキャンセル出力信号OutScanを出力する。

【0088】

図9において、点線(1)および(2)で示される部分が従来のバウンダリスキャンセルから追加されたところである。図9に示すように、本実施の形態のバウンダリスキャンセル15は、従来のバウンダリスキャンセルにANDゲート66とORゲート62の複合ゲートと、マルチプレクサ64を追加しただけで構成されるので、本実施の形態のバウンダリスキャンセルの回路面積は、従来のバウンダリスキャンセルの回路面積と比べて、増加する面積は小さいといえる。

【0089】

(マルチプレクサ9)

図10は、マルチプレクサ9の入出力信号を示す図である。同図に示すように、マルチプレクサ9には、バウンダリスキャンセル15からのスキャンセル出力信号OutScanと、DRAMセルアレイ25からの読出しデータRDが入力される。

【0090】

バウンダリスキャンテストのアップデート動作時には、アップデート動作モード指示信号PRELOADが「H」となり、マルチプレクサ9は、スキャンセル

出力信号 $Out Scan$ を選択して出力する。

【0091】

バウンダリスキャンテストのアップデート動作時以外には、アップデート動作モード指示信号 $PRELOAD$ が「L」となり、マルチプレクサ9は、読出しデータ RD を選択して出力する。

【0092】

(出力バッファ8)

出力バッファ8は、マルチプレクサ9から送られてくるスキャンセル出力信号 $Out Scan$ 、または読出しデータ RD を出力する。

【0093】

(レイトライト動作時の動作)

次に、図6に示すタイミングチャートを参照して、レイトライト動作時の動作について説明する。

【0094】

レイトライト動作時には、ライト制御信号 $/W$ の立上がりに対してセットアップ $t_{su}(D)$ 、およびホールド $t_h(D)$ で規定されるタイミングを満足するように、ライトデータ $DATA(n)$ が入力される(図6の(1)に示す)。

【0095】

入力バッファ6は、入力されるライト制御信号 $/W$ を所定時間 Δt_1 だけ遅延させた遅延ライト制御信号を出力する。ライトコントローラ7は、遅延ライト制御信号の立上がり同期して、ワンショットパルス(「L」レベル)のライトデータ取込み信号 $/WTDIL$ を生成する(図6の(2)に示す)。

【0096】

入力バッファ2では、ライト動作モード選択信号 $DLYWT$ が「H」により、入力信号 Din として入力されたライトデータ $DATA(n)$ は、所定時間 Δt_2 だけ遅延させられた後、そのままスルーでバッファ出力信号 $Out Buf$ として出力される。

【0097】

バウンダリスキャンセル15内のマルチプレクサ64は、ライト動作モード選

択信号DLYWTが「H」により、バッファ出力信号OutBufを選択して出力する。フリップフロップ65は、ライトデータ取込み信号/WTDILにしたがって、マルチプレクサ64から出力されたバッファ出力信号OutBufをラッチし、スキャンセル出力信号OutScanを出力する。ここで、フリップフロップ65は、ライトデータ取込み信号/WTDILがアサート（「L」レベル）になってから、ライトデータ取込み信号/WTDILが次にアサート（「L」レベル）になるまで、バッファ出力信号OutBufを保持する。つまり、フリップフロップ65は、入力ポート22より入力されたライトデータを次の書込みサイクルまで保持する。マルチプレクサ4は、ライト動作モード選択信号DLYWTが「H」により、スキャンセル出力信号OutScanを選択して出力する（図6の（3）に示す）。

【0098】

ライトコントローラ7は、遅延ライト制御信号の立下りに同期して、ワンショットパルス（「H」レベル）のライトドライバ制御信号WTEを生成する（図6の（4）に示す）。

【0099】

ライトドライバ3は、マルチプレクサ4から出力されるスキャンセル出力信号OutScanを、ライトドライバ制御信号WTEのアサート（Hレベル）のタイミングで、DRAMセルアレイ25内の所定のメモリセルに書込む（図6の（5）に示す）。

【0100】

（アーリーライト動作時の動作）

次に、図7に示すタイミングチャートを参照して、アーリーライト動作時の動作について説明する。

【0101】

アーリーライト動作時には、ライト制御信号/Wの立下がりに対してセットアップ $t_{su}(D)$ 、およびホールド $t_h(D)$ で規定されるタイミングを満足するように、ライトデータDATA(n)が入力される（図7の（1）に示す）。

【0102】

入力バッファ 6 は、入力されるライト制御信号 $/W$ を所定時間 Δt_1 だけ遅延させた遅延ライト制御信号を出力する。ライトコントローラ 7 は、遅延ライト制御信号の立下がりに同期して、ワンショットパルス（「L」レベル）のライトデータ取込み信号 $/WTDIL$ を生成する（図 7 の（2）に示す）。

【0103】

入力バッファ 2 では、ライト動作モード選択信号 $DLYWT$ が「L」により、入力信号 Din として入力されたライトデータ $DATA(n)$ は、所定時間 Δt_2 だけ遅延させられた後、ライトデータ取込み信号 $/WTDIL$ が「H」レベルの間に、トランスファゲート $TG10$ を通って、ラッチ回路 81 でラッチされ、ライトデータ取込み信号 $/WTDIL$ が「L」レベルになると、トランスファゲート $TG11$ を通り、ラッチ回路 82 でラッチされるとともに、バッファ出力信号 $OutBuf$ として出力される。マルチプレクサ 4 は、ライト動作モード選択信号 $DLYWT$ が「L」により、バッファ出力信号 $OutBuf$ を選択して出力する（図 7 の（3）に示す）。

【0104】

ライトコントローラ 7 は、遅延ライト制御信号の立下りに同期して、ワンショットパルス（「H」レベル）のライトドライバ制御信号 WTE を生成する（図 7 の（4）に示す）。

【0105】

ライトドライバ 3 は、マルチプレクサ 4 から出力される入力バッファ出力信号 $OutBuf$ を、ライトドライバ制御信号 WTE のアサート（Hレベル）のタイミングで、DRAMセルアレイ 25 内の所定のメモリセルに書込む（図 7 の（5）に示す）。

【0106】

（バウンダリスキャンテスト動作）

次に、バウンダリスキャンテスト時の動作について説明する。

【0107】

バウンダリスキャンテストのキャプチャ動作時には、バウンダリスキャンセル 15 内のマルチプレクサ 61 は、入力信号 Din として入力されたバウンダリス

キャンテストデータを選択して出力する。フリップフロップ63は、転送クロック信号ClockDRにしたがって、マルチプレクサ61から出力された入力信号Dinをラッチし、シフトアウト信号Shift outを出力する。

【0108】

バウンダリスキャンテストのシフト動作時には、バウンダリスキャンセル15内のマルチプレクサ61は、シフトイン信号Shift in（つまり、前段のバウンダリスキャンセルから送られたバウンダリスキャンテストデータ）を選択して出力する。フリップフロップ63は、転送クロック信号ClockDRにしたがって、マルチプレクサ61から出力されたシフトイン信号Shift inをラッチし、これをシフトアウト信号Shift outとして出力する。

【0109】

バウンダリスキャンテストのアップデート動作時には、マルチプレクサ64は、フリップフロップ63から出力されたシフトアウト信号Shift out（つまり、前段のバウンダリスキャンセルから送られたバウンダリスキャンテストデータ）を選択して出力する。フリップフロップ65は、アップデートクロック信号UpdateDRにしたがって、マルチプレクサ64から出力されたシフトアウト信号Shift outをラッチし、これをスキャンセル出力信号Out Scanとして出力する。マルチプレクサ9は、バウンダリスキャンテストのアップデート動作時には、アップデート動作モード指示信号PRELOADが「H」となるので、スキャンセル出力信号Out Scanを選択して出力する。出力バッファ8は、スキャンセル出力信号Out Scanを出力ポート23に出力する。

【0110】

以上のように、本実施の形態に係るメモリコアは、通常のメモリコアに、バウンダリスキャンセル15、5と、マルチプレクサ4、9と、テストコントローラ201を追加するだけで、高速なランダムサイクルのライト動作が可能なレイトライト動作と、アーリーライト動作と、バウンダリスキャンテスト動作を行なうことができ、回路面積が大きくならないようにすることができる。

【0111】

<変形例>

本発明は、上記の実施形態に限定されるものではなく、たとえば以下のような変形例も含まれる。

【0112】

(1) ライト動作モード選択信号 D L Y W T

本発明の実施の形態において、読出し／書込み制御回路 1 0 0 が、ライト動作モード選択信号 D L Y W T のレベルを切替えるものとしたが、これに限定するものではない。

【0113】

たとえば、マスクによるメタル配線の切替え、ワイヤボンディングによるボンディング切替え、またはメモリアの初期化シーケンスにロジック部 1 1 からの制御信号で切替えるものとしてもよい。

【0114】

(2) アーリーライト動作

本発明の実施の形態では、アーリーライト動作、高速なランダムサイクルのライト動作が可能なレイトライト動作、およびバウンダリスキャンテストのいずれかを選択して実行できる構成について説明したが、これに限定するものではない。高速なランダムサイクルのライト動作が可能なレイトライト動作、およびバウンダリスキャンテストのいずれかを選択して実行できるものとしてもよい。この場合には、装置の構成は、より簡易となる。

【0115】

(3) テストコントローラ

本発明の実施の形態では、メモリア 1 0, 2 0 がテストコントローラを備えるものとしたが、これに限定するものではなく、ロジック部 1 1 内にテストコントローラを設けて、ロジック部 1 1 から、メモリア 1 0, 2 0 にバウンダリスキャンテスト用の制御信号を送るものとしてもよい。

【0116】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範

図によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0 1 1 7】

【発明の効果】

この発明に係わる半導体記憶装置は、ロジックとメモリとが混載され、レイトライト動作とバウンダリスキャンテスト動作とを選択的に実行する半導体記憶装置であって、ライトデータを受ける端子と、端子に対応して設けられた入力バッファと、端子に対応して設けられ、バウンダリスキャンテスト時にはバウンダリスキャンテストデータを、レイトライト動作時には端子から与えられるメモリへのライトデータをライト制御信号の非活性化に応じて保持する第1のレジスタを含むバウンダリスキャンセルと、入力バッファの出力とバウンダリスキャンセルの出力を受け、レイトライト動作時にバウンダリスキャンセルの出力を選択する第1のセクタと、セクタにより選択された出力をメモリに書込む為の書込みドライバとを備えるので、回路面積を大きくすることなく、高速なランダムサイクルのライト動作とバウンダリスキャンテスト動作とを選択的に実行することができる。

【図面の簡単な説明】

- 【図1】 第1の実施形態に係るシステムLSIの構成を示す図である。
- 【図2】 バウンダリスキャンセル5の詳細な構成を示す図である。
- 【図3】 入力バッファ2の詳細な構成を示す図である。
- 【図4】 バウンダリスキャンセル1の詳細な構成を示す図である。
- 【図5】 マルチプレクサ4の入出力信号を示す図である。
- 【図6】 レイトライト動作を示すタイミングチャートである。
- 【図7】 アーリーライト動作を示すタイミングチャートである。
- 【図8】 第2の実施形態に係るシステムLSIの構成を示す図である。
- 【図9】 バウンダリスキャンセル15の詳細な構成を示す図である。
- 【図10】 マルチプレクサ9の入出力信号を示す図である。

【符号の説明】

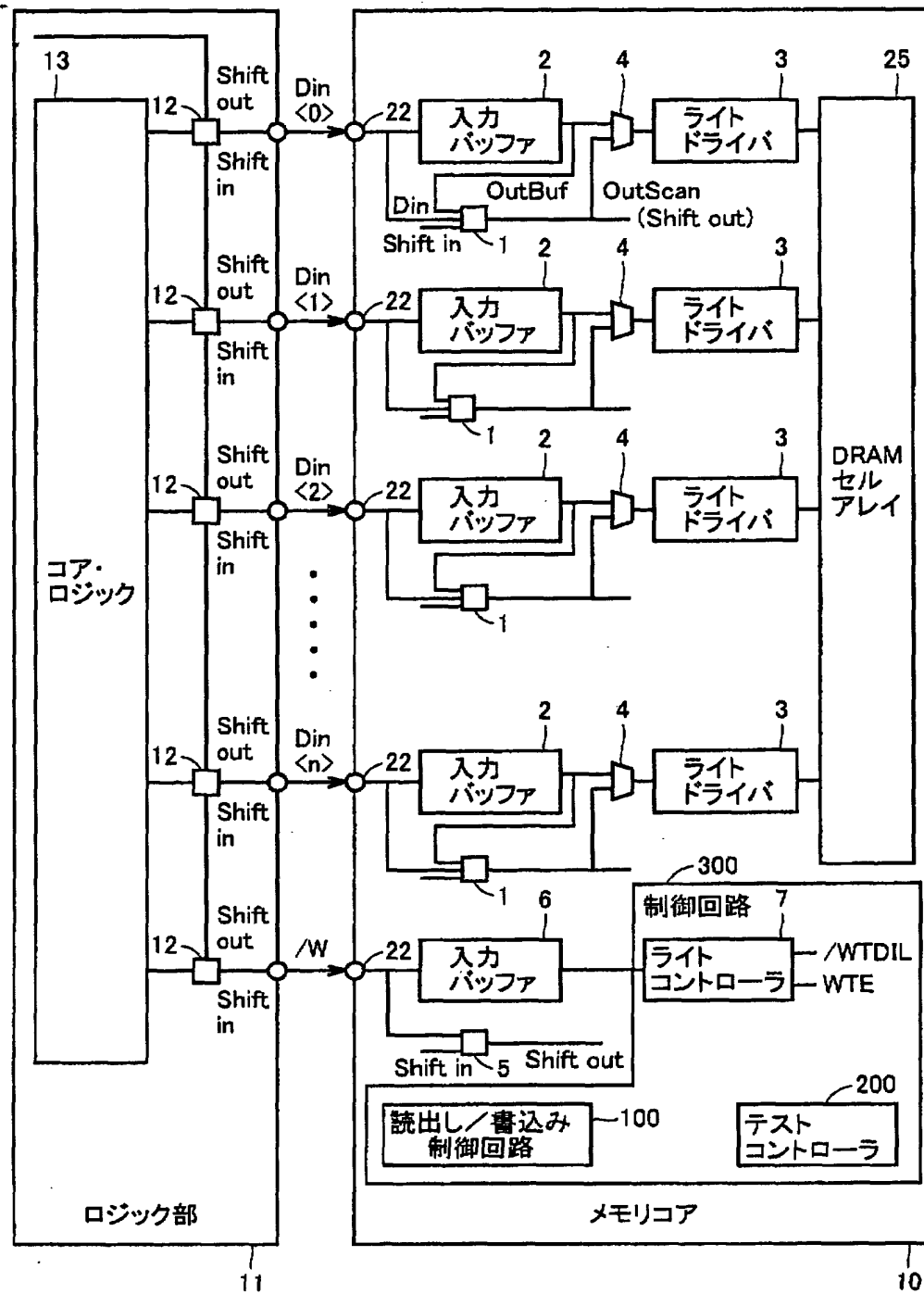
1, 5, 12 バウンダリスキャンセル、2, 6 入力バッファ、3 ライト

ドライバ、4, 9, 51, 61, 64, 71 マルチプレクサ、7 ライトコントローラ、8 出力バッファ、10, 20 メモリコア、11 ロジック部、13 コア・ロジック、22 入力ポート、23 出力ポート、25 DRAMセルアレイ、52, 62, 91, 92 ORゲート、53, 63, 65, 72 フリップフロップ、81, 82 ラッチ回路、90 遅延回路、93, 96, 99 インバータ、100 読出し／書込み制御回路、200, 201 テストコントローラ、TG10, TG11 トランスファゲート、54, 66 ANDゲート、300, 301 制御回路。

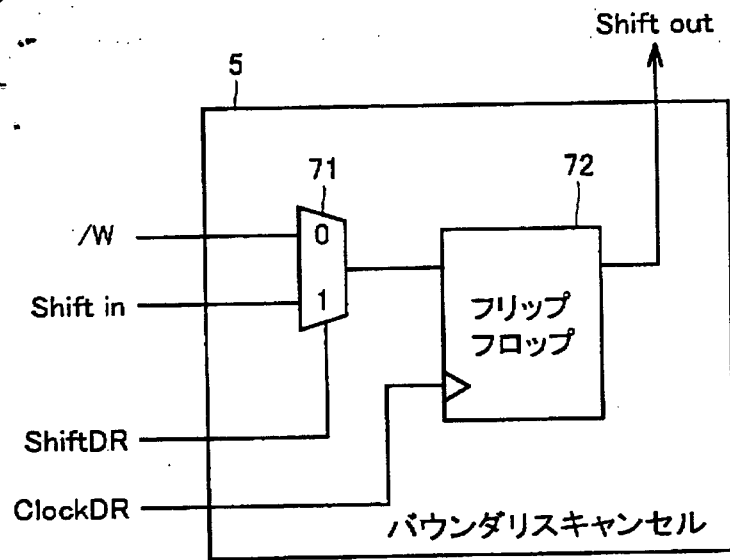
【書類名】

図面

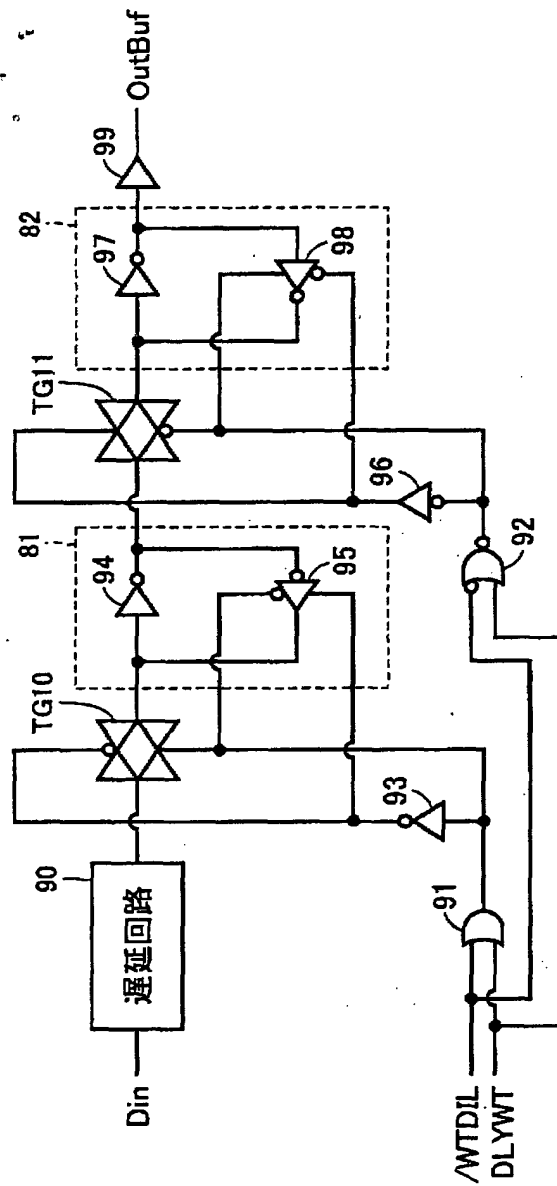
【図 1】



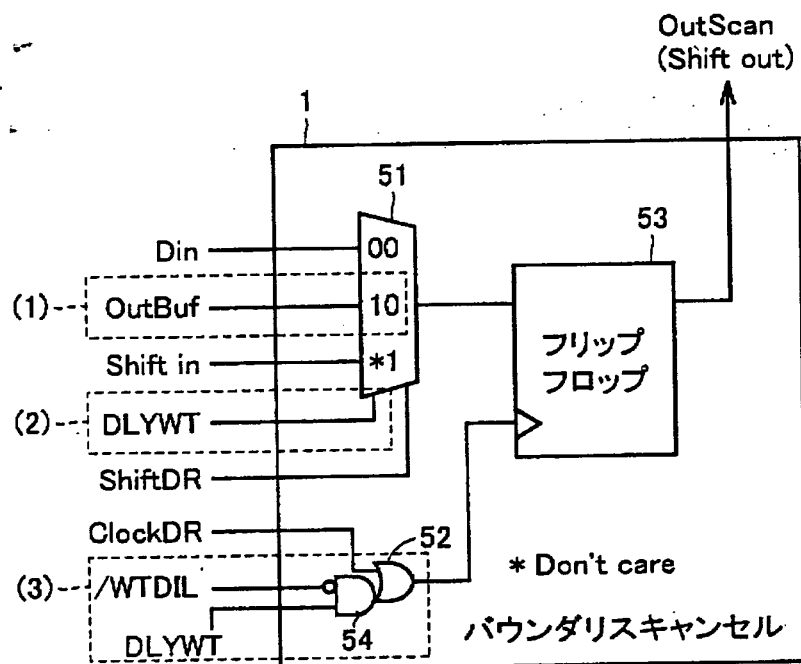
【図 2】



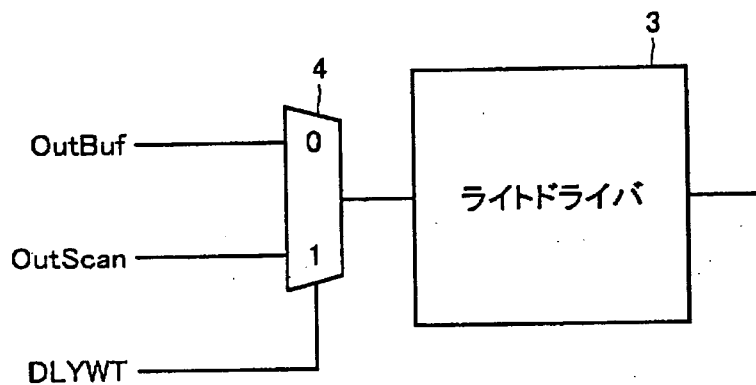
【図 3】



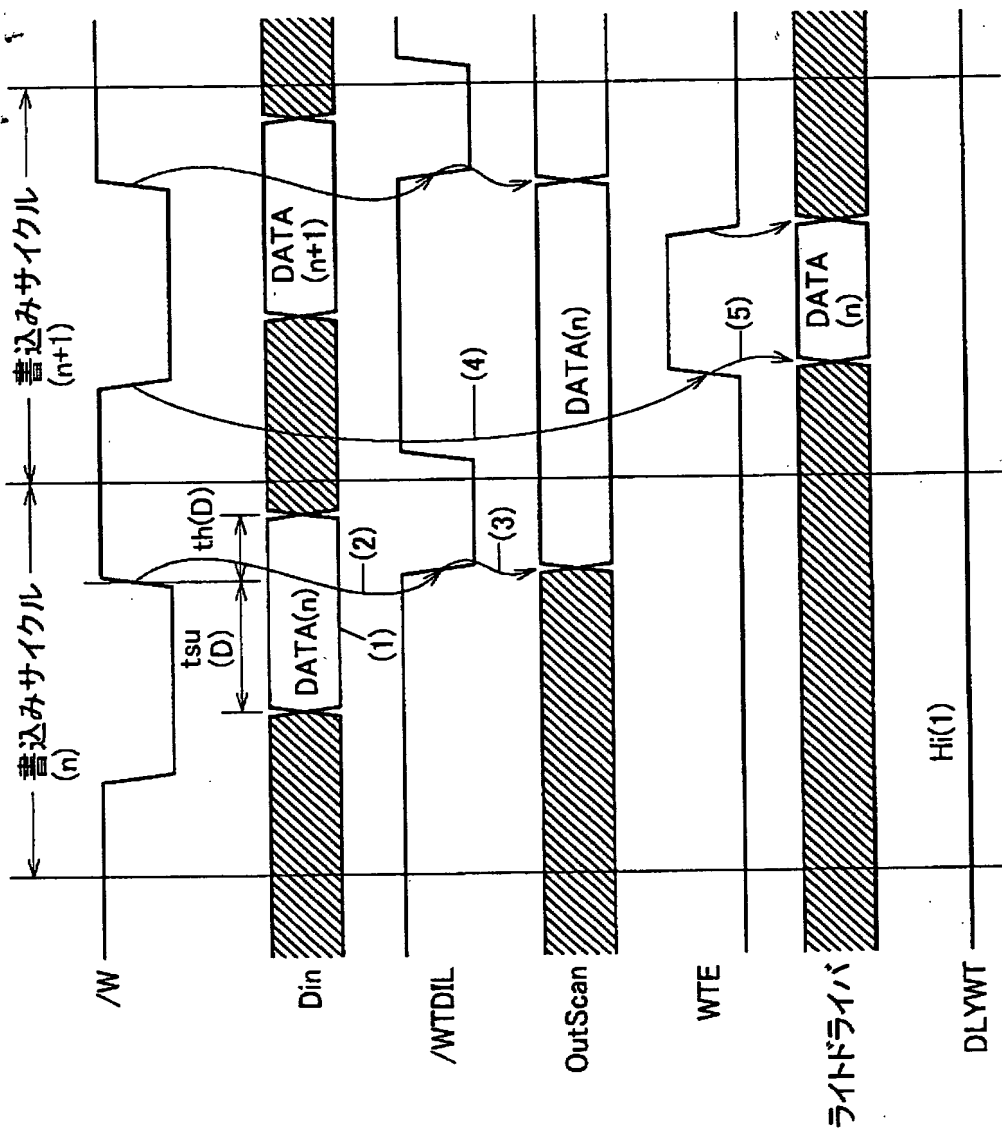
【図 4】



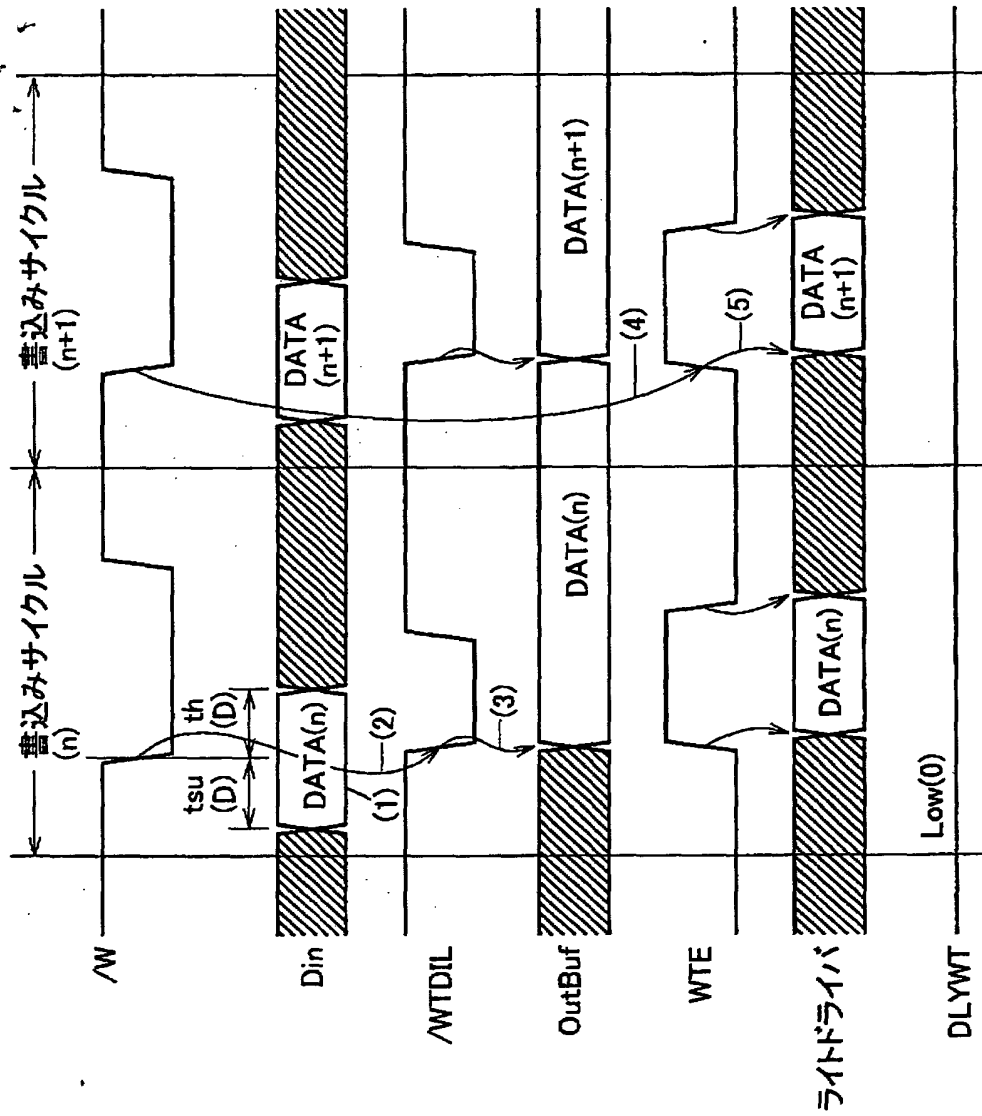
【図 5】



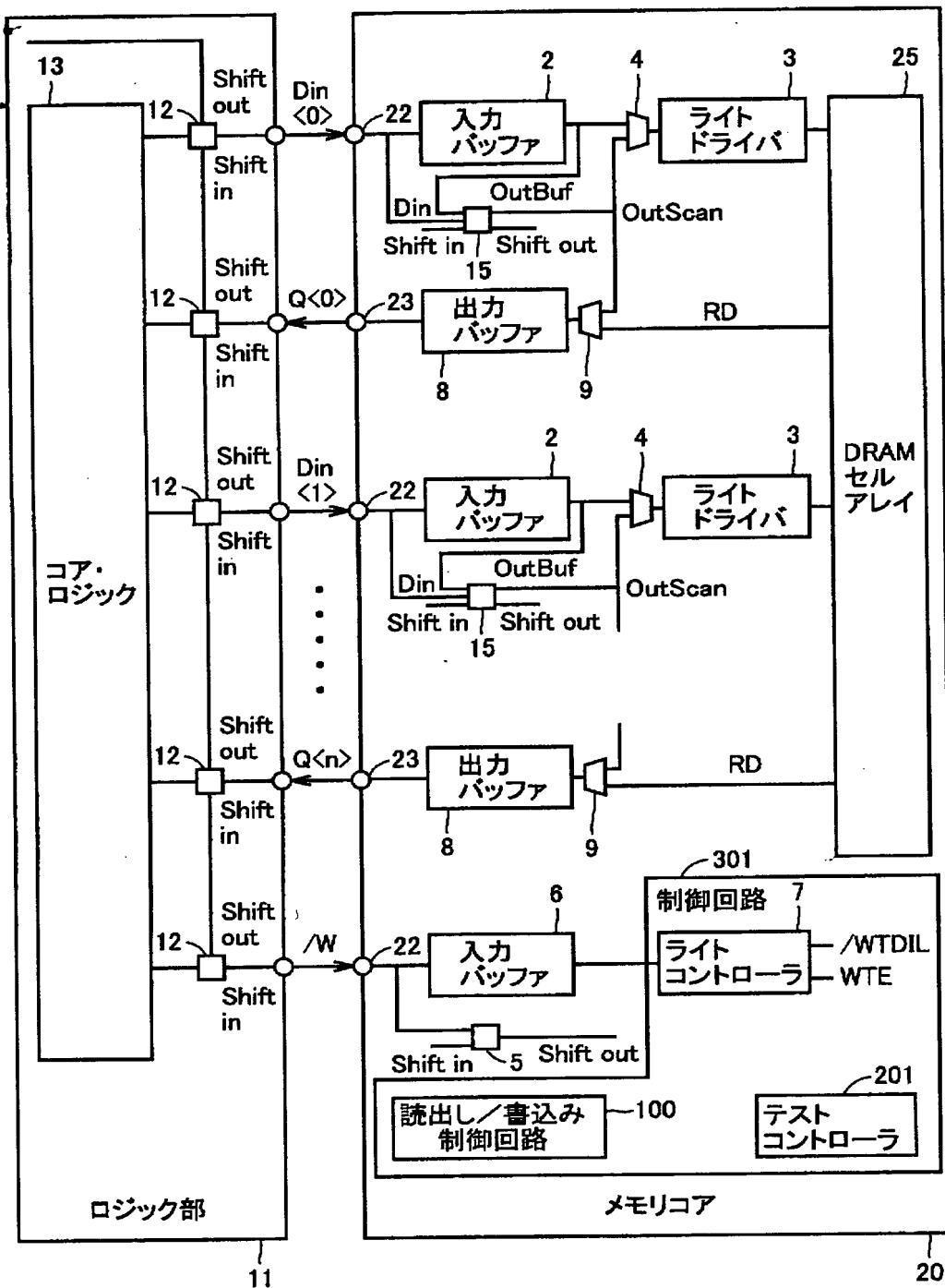
【図 6】



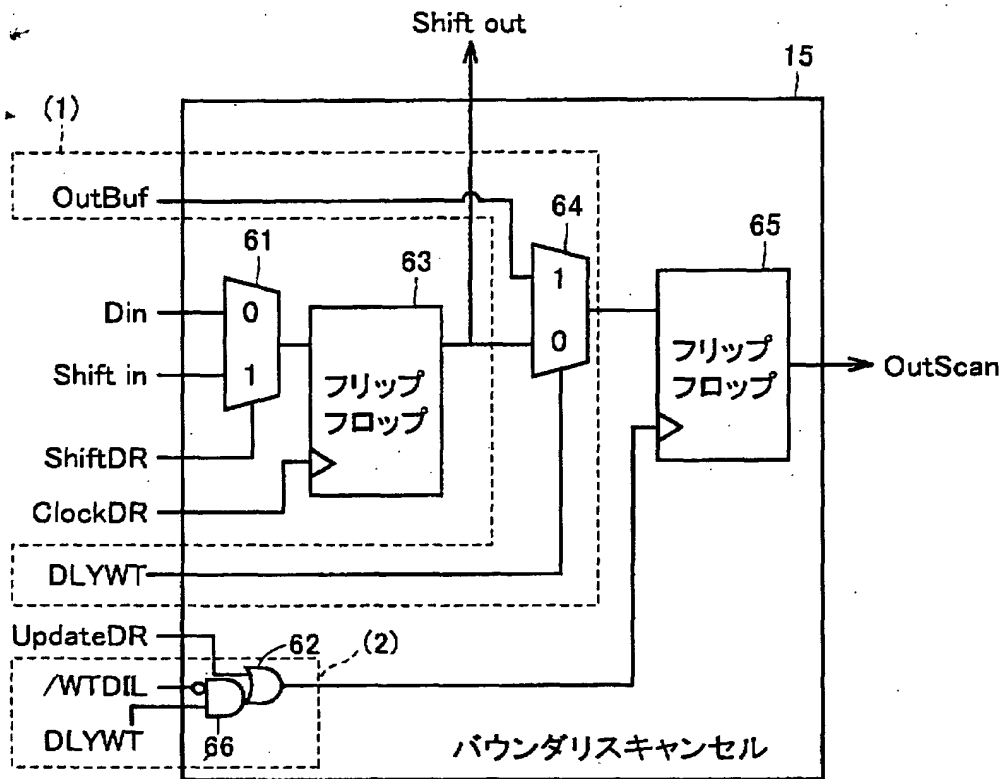
【図 7】



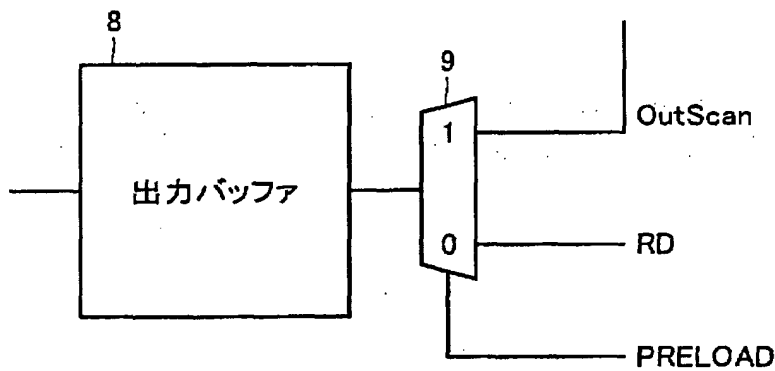
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 回路面積を大きくすることなく、高速なランダムサイクルのライト動作とバウンダリスキャンテスト動作とを選択的に実行する半導体記憶装置を提供する。

【解決手段】 半導体記憶装置（メモリコア）内のバウンダリスキャンセル 1 は、バウンダリスキャンテストを行なうために各端子 2 2 に対応して設けられる。ストコントローラ 2 0 0 および読出し／書込み制御回路 1 0 0 は、ライトライト動作時に、端子 2 2 よりライトデータが入力されたライトサイクルの次のライトサイクルまで、入力されたライトデータをバウンダリスキャンセル 1 にラッチさせる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社